

**Partial English Translation of  
JAPANESE UTILITY MODEL REGISTRATION  
Laid Open Publication No. 6-52191A**

[0008]

FIG. 2 is a section of a multilayer circuit substrate 1 at the through holes 3. As is shown in this drawing, the electrodes 5 are filled in the through holes 3 to electrically connect plural layers of earth electrodes 4 with each other. Accordingly, when the earth electrodes 4 are connected to an earth of conductive layers formed within the earth electrodes 4, disturbing waves from the outside of the multilayer circuit substrate 1 or radiating waves from the inside of the multilayer circuit substrate 1 can be shielded. In the case where no parts are boarded on the multilayer circuit substrate 1 (the case where the multilayer circuit substrate 1 itself composes a high-frequency filter, for example), the earth electrodes 4 may be formed on the entirety of each of the upper surface and the lower surface of the multilayer circuit substrate 1. In the case where parts are incorporated on either or both faces of the multilayer circuit substrate 1, it is necessary to shield a region where the parts are boarded by covering the region with a metal case or the like.

[0009]

FIG. 3 is an enlarged view of FIG. 2. When the earth electrodes 4 and the electrodes 5 shown in the drawing are arranged so that the dimension d indicated in the drawing is set sufficiently small against disturbing waves from the outside of the substrate and radiating waves from the inside of the substrate, a sufficient shielding effect can be obtained. In practice, when the dimension d is set smaller than  $\lambda_g/4$  ( $d < \lambda_g/4$ , wherein  $\lambda_g$  is the wavelength of disturbing waves or radiating waves with the dielectric constant of the dielectric layer 2 taken into consideration), a sufficient effect can be obtained.

(19)日本国特許庁 (JP)

(12) 公開実用新案公報 (U)

(11)実用新案出願公開番号

実開平6-52191

(43)公開日 平成6年(1994)7月15日

(51)Int.Cl.<sup>5</sup>

H 05 K 9/00  
H 01 R 4/64  
H 05 K 3/46

識別記号 庁内整理番号

R 7128-4E  
A 7371-5E  
Z 6921-4E

F I

技術表示箇所

審査請求 未請求 請求項の数1(全3頁)

(21)出願番号

実願平4-92044

(22)出願日

平成4年(1992)12月17日

(71)出願人 000006231

株式会社村田製作所  
京都府長岡京市天神二丁目26番10号

(72)考案者 備前達生

京都府長岡京市天神二丁目26番10号株式会  
社村田製作所内

(72)考案者 山本浩之

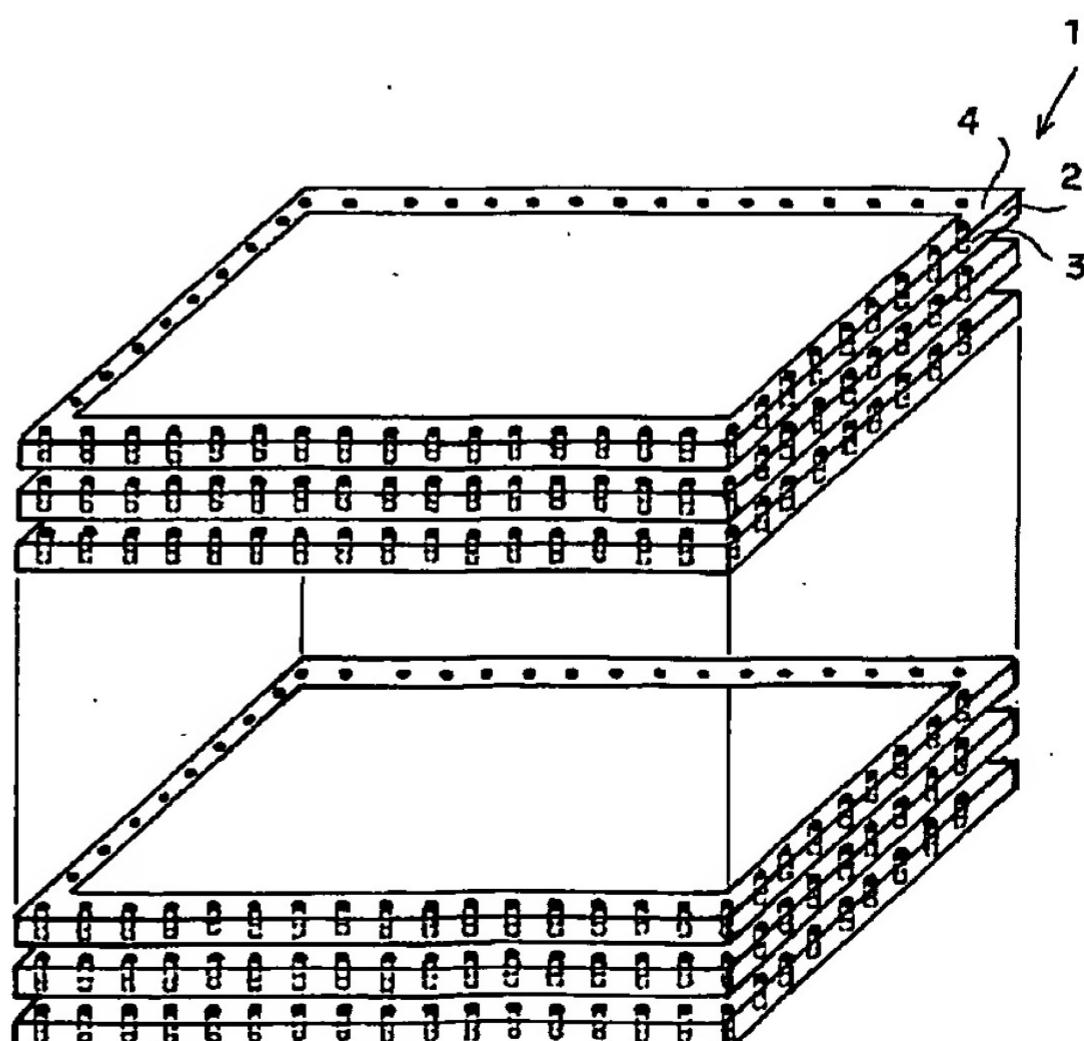
京都府長岡京市天神二丁目26番10号株式会  
社村田製作所内

(54)【考案の名称】 多層回路基板

(57)【要約】

【目的】作業性が向上し、しかも十分なシールド効果が得られる多層回路基板を提供する。

【構成】誘電体層2上に導体層を形成し、これを複数積層した多層回路基板1であって、複数の誘電体層2上の、電磁的にシールドすべき所定位置にアース電極4を形成し、このアース電極4を誘電体層2に所定のピッチで形成した貫通孔3を介して互いに電気的に接続した。



## 【実用新案登録請求の範囲】

【請求項1】誘電体層上に導体層を形成し、これを複数積層した多層回路基板であつて、複数の誘電体層上の、電磁的にシールドすべき所定の位置にアース電極を形成し、このアース電極を誘電体層に所定のピッチで形成した複数の貫通孔を介して互いに電気的に接続したことを特徴とする多層回路基板。

## 【図面の簡単な説明】

【図1】本考案の多層回路基板の分解斜視図である。

【図2】本考案の多層回路基板の断面図である。

【図3】本考案の多層回路基板の断面の一部拡大図である。

【図4】本考案の他の実施例の多層回路基板の斜視図である。

【図5】本考案の他の実施例の多層回路基板の平面図である。

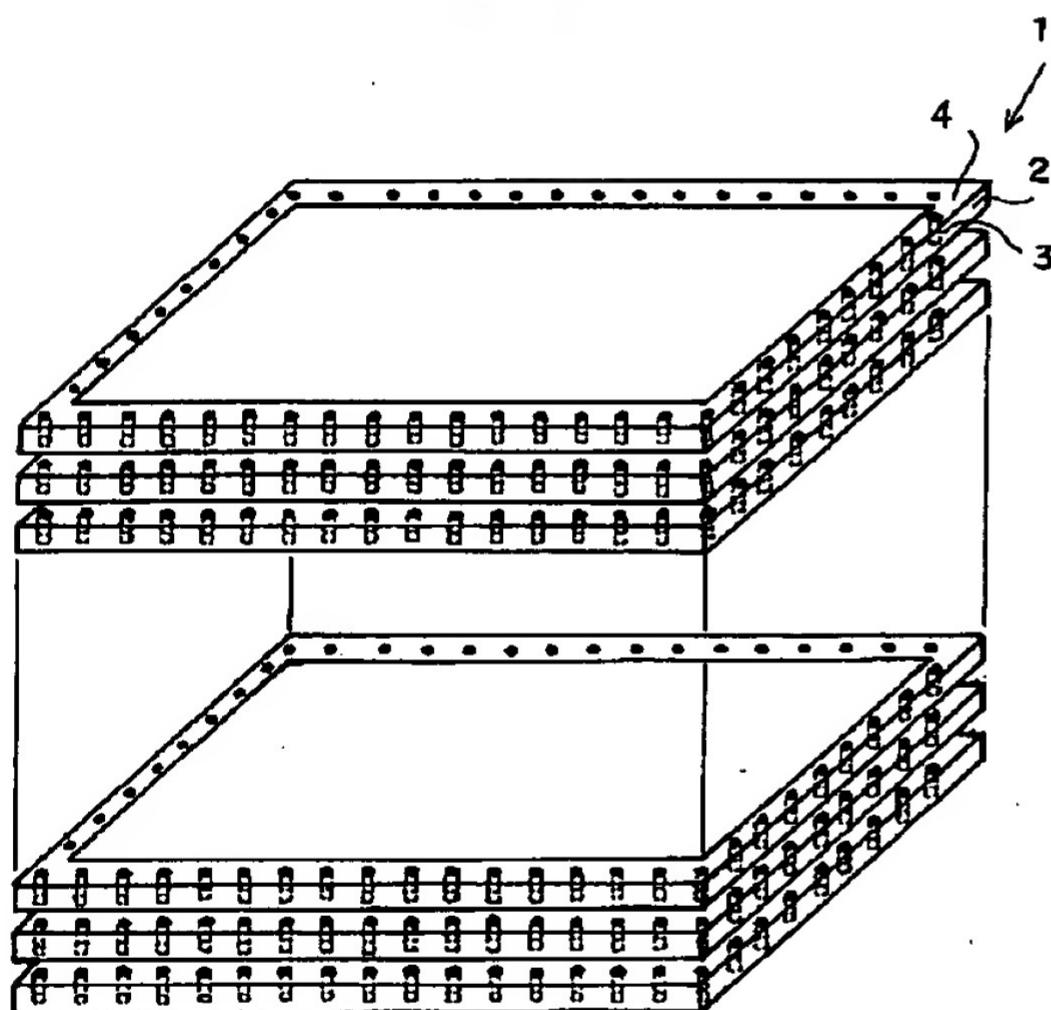
【図6】従来の多層回路基板の斜視図である。

【図7】従来の他の多層回路基板の斜視図である。

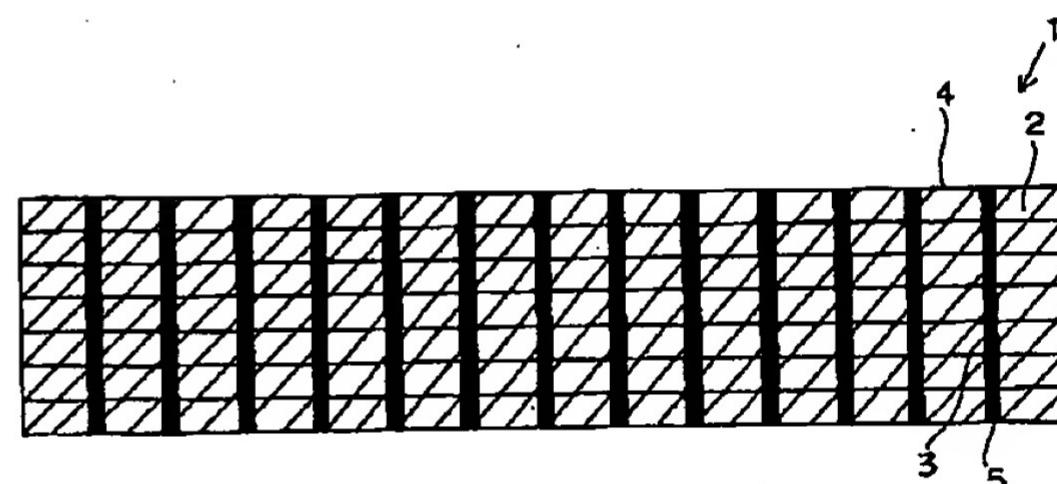
## 【符号の説明】

- 1 多層回路基板
- 2 誘電体層
- 3 貫通孔
- 4 アース電極
- 5 電極
- 6 多層回路基板
- 7 多層回路基板
- 8 金属シールド板

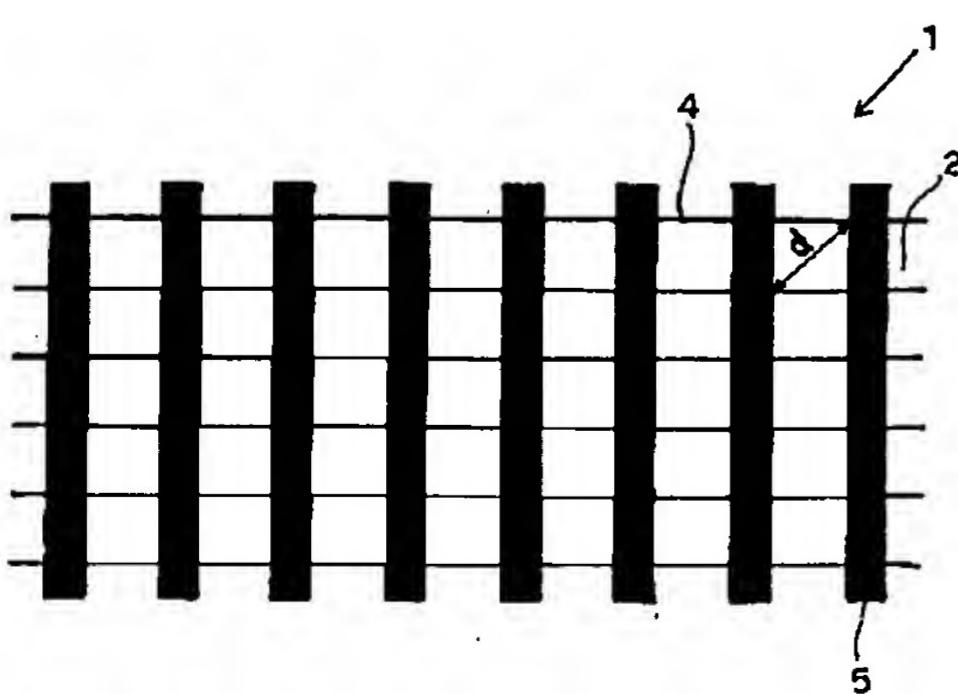
【図1】



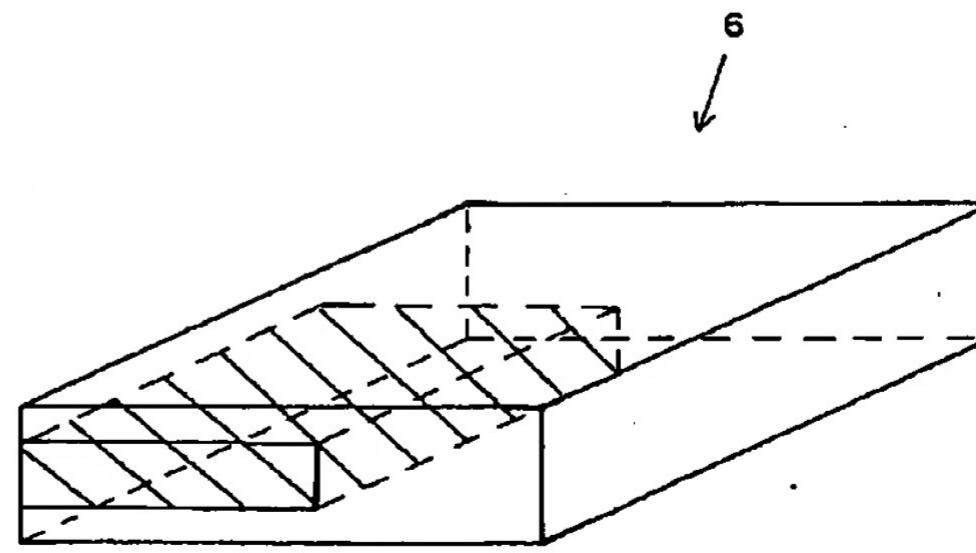
【図2】



【図3】



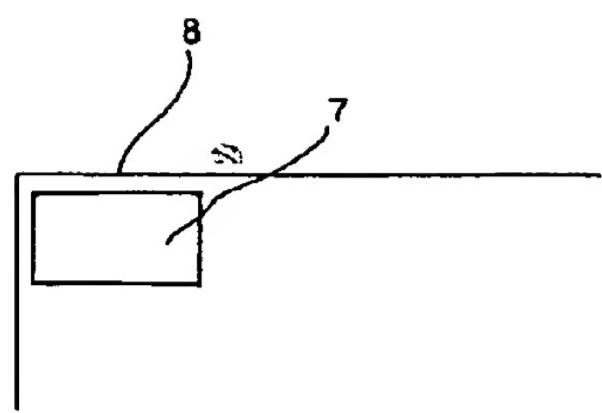
【図4】



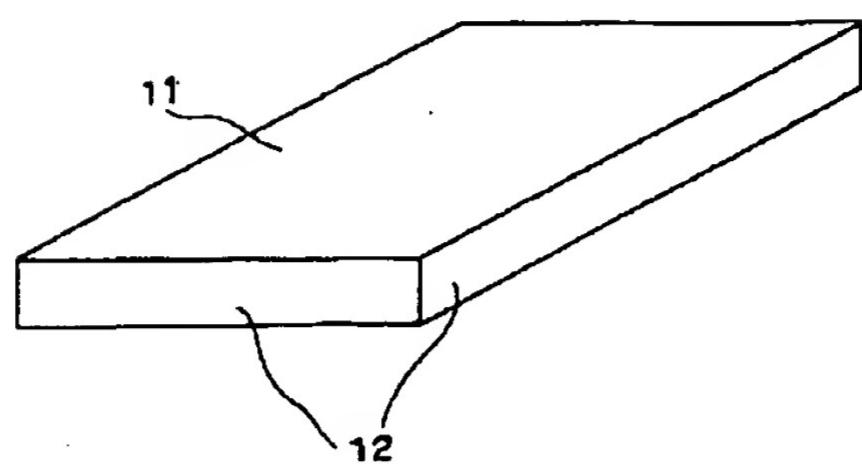
(3)

実開平6-52191

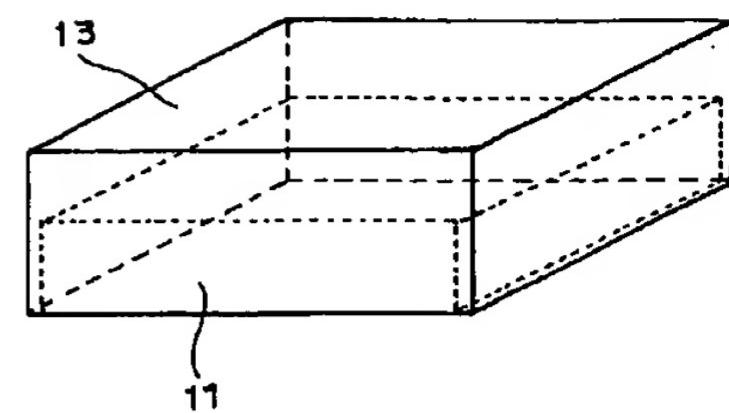
【図5】



【図6】



【図7】



**【考案の詳細な説明】****【0001】****【産業上の利用分野】**

本考案は、たとえば、電圧制御発振器に使用されるような、高周波用の多層回路基板に関し、特に、電磁的にシールドする必要のある多層回路基板に関する。

**【0002】****【従来の技術】**

従来の多層回路基板において、その側面をシールドするのにあたって、下記の2つの構成としていた。

①図6に示すように、基板11の側面に、メッキまたは印刷によって、アース電極12を形成する。

②図7に示すように、下面開口状の金属ケース13によって、基板11全体を覆う。

**【0003】****【考案が解決しようとする課題】**

しかしながら、上記①の構成では、基板11の側面にアース電極12を形成するため、特別な工程が必要となり、作業が繁雑になっていた。

また、②の構成では、金属ケース13と基板11には、それぞれ寸法公差が生ずるため、完全に密着することは不可能であり、金属ケース13と基板11との間に隙間が発生する。そのため、多層回路基板のシールドが不十分であった。シールド効果を高めるために、半田で基板11の全周（4側面）の隙間部分を埋めて金属ケース13と基板11を導通させる、いわゆる半田シールを施す必要があった。

**【0004】**

本考案は、上記問題点に鑑みてなされたものであって、作業性が向上し、しかも十分なシールド効果が得られる多層回路基板を提供すること目的にしている。

**【0005】****【課題を解決するための手段】**

本考案による多層回路基板は、上記目的を達成するために、誘電体層上に導体

層を形成し、これを複数積層した多層回路基板であって、複数の誘電体層上の、電磁的にシールドすべき所定の位置にアース電極を形成し、このアース電極を誘電体層に所定のピッチで形成した貫通孔を介して互いに電気的に接続したことを特徴とする。

### 【0006】

#### 【作用】

本考案による多層回路基板は、上記のように、複数の誘電体層上にアース電極を形成しているため、このアース電極は、誘電体層上の導体層と同じ工程で形成することができる。そのため、作業性が向上する。

また、上記アース電極を誘電体層に所定のピッチで形成した貫通孔を介して互いに電気的に接続したことにより、十分なシールド効果を確保できる。そのため、従来のような、基板の全周に半田シールを施す必要がなく、作業性が向上する。

### 【0007】

#### 【実施例】

図1を参照して、本考案の一実施例に係る多層回路基板を説明する。この図は、多層回路基板1の分解斜視図である。この図において、2は誘電体層で、その外周端縁全域に貫通孔3が所定のピッチで形成されている。4は、誘電体層2上の貫通孔3の形成された外周端縁全域に形成されているアース電極で、例えば厚膜形成手段によって形成されるものである。貫通孔3は、このアース電極4を形成する際に、その貫通孔3中に電極が充填されている。なお、図示していないが、誘電体層2上には、アース電極4で囲まれた領域の内側に配線パターン等の導体層が形成されている。アース電極4は、この導体層と同じ工程（例えば、厚膜印刷工程）で形成することができる。この場合、アース電極4は導体層と同時に形成してもよいし、導体層とは別に形成してもよい。この図に示すように、多層回路基板1は、誘電体層2上にアース電極4および導体層を形成したものを複数積層し、これらを一体焼結して構成したものである。なお、アース電極4を形成していない誘電体層2や導体層を形成していない誘電体層2を間に介挿するようにしてもよい。

## 【0008】

図2は、貫通孔3での多層回路基板1の断面図である。この図に示すように、貫通孔3内に電極5が充填され、この電極5によって複数層のアース電極4が電気的に接続される。したがって、アース電極4を、アース電極4の内側に形成した導体層のうちのアースと接続することにより、多層回路基板1の外部からの妨害波又は多層回路基板1の内部からの輻射波に対してシールドすることができる。なお、多層回路基板1において、多層回路基板1上に部品を搭載しない場合（たとえば、多層回路基板1自体で高周波フィルタを構成する場合）は、多層回路基板1の上面および下面の両面全体にアース電極4を形成すればよい。また、多層回路基板1の片面または両面に部品が搭載される場合は、この部品の搭載箇所を金属ケース等で覆ってシールドする必要がある。

## 【0009】

図3は、図2の部分拡大図である。この図に示すアース電極4および電極5を、シールドしようとする基板外部からの妨害波又は基板内部からの輻射波の波長に対して、この図に示すd寸法が十分小さくなるように構成すれば、十分なシールド効果を得ることができる。実用的には、d寸法が、 $d < \lambda_g / 4$ （ただし、 $\lambda_g$ は誘電体層2の誘電率を考慮した妨害波または輻射波の波長）となるようにすれば、十分なシールド効果を得ることができる。

## 【0010】

なお、アース電極4および電極5については、多層回路基板1の外周端縁全域を囲むように形成しているが、図4の斜線部分に示すように、多層回路基板6内部に部分的に形成してもよい。また、アース電極4および電極5は、多層回路基板1の所定の領域を取り囲むように形成されているが、必ずしも所定の領域を取り囲むように形成しなければならないものではない。たとえば、図5に示すように、多層回路基板7の近辺に金属シールド板8が位置する場合は、その金属シールド板8側のアース電極4および電極5を省略することもできる。要は、アース電極4は、電磁的にシールドすべき所定の位置に形成されていればよく、電極5はそのアース電極4を接続するように形成されていればよい。また、電極5については、貫通孔3に充填されているが、必ずしも充填する必要はなく、貫通孔3の

内周面に膜状に形成してもよい。また、電極5に代えて金属ピンを貫通孔3に挿入してもよい。さらには、上記実施例では誘電体層2を一体焼結して多層回路基板を構成しており、この場合の誘電体層2はセラミックグリーンシートを用いることになるが、誘電体層2として樹脂シートを用いることもできる。この場合は、一体焼結は不要である。

#### 【0011】

##### 【考案の効果】

本考案の多層回路基板は、上述したように、複数の誘電体層上にアース電極を形成しているため、このアース電極は、誘電体層上の導体層と同じ工程で形成することができる。そのため、従来のような、多層回路基板の側面にアース電極を形成する場合のように特別な別の工程を設ける必要がなくなり、作業性が向上する。また、複数のアース電極を誘電体層に所定のピッチで形成した貫通孔を介して互いに電気的に接続したことにより、十分なシールド効果を確保できる。そのため、金属ケースを用いる場合でも、従来のような、基板の全周に半田シールを施す必要がなく部分的な半田付けでよいため、作業性が向上するという効果を奏する。